

## INF1500 : Logique des systèmes numériques

### Laboratoire 2

#### Simulation et implémentation d'un circuit en logique combinatoire

Hiver 2013

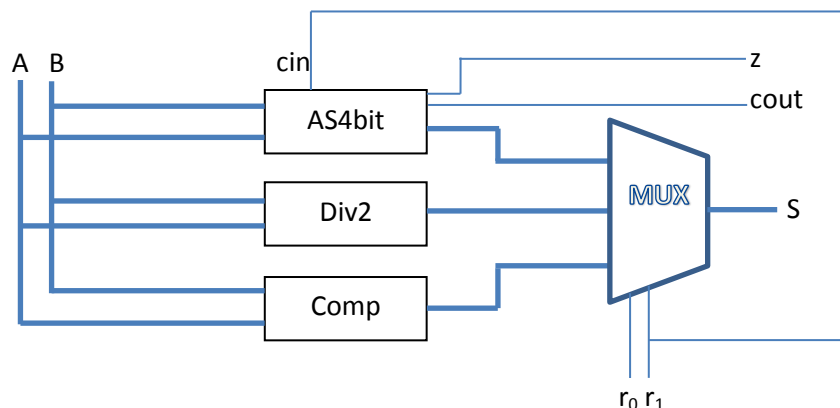
#### 1. Objectifs

L'objectif de ce laboratoire est de réaliser un circuit en logique combinatoire, de le simuler et de l'implémenter sur une carte FPGA afin de valider son bon fonctionnement. À l'issue de ce travail, vous aurez mis en pratiques les notions de circuits combinatoires vues en cours, notamment les tables de vérité et les portes logiques. Ce laboratoire permettra également de mieux appréhender le concept de description hiérarchique du design d'un circuit numérique ainsi que le principe de réutilisation de blocs.

#### 2. Système à réaliser

Le circuit qu'on vous demande de réaliser est une petite UAL (Unité Arithmétique et Logique), qui est un élément de base des microprocesseurs, servant à faire des opérations arithmétique et logiques. (voir [http://en.wikipedia.org/wiki/Arithmetic\\_logic\\_unit](http://en.wikipedia.org/wiki/Arithmetic_logic_unit) )

Dans notre cas, l'unité effectuera les quatre opérations suivantes, sur deux entrées de 4 bits chacune : addition, soustraction, division par 2 et comparaison. On réutilisera pour ce laboratoire l'additionneur/soustracteur réalisé au premier laboratoire. Vous devez donc réaliser le comparateur et le diviseur, ainsi qu'un multiplexeur qui servira à choisir quelle opération sera effectuée et dont le résultat sera redirigé vers la sortie, comme le montre la figure 1 :



**Figure 1** – Schéma du circuit à réaliser

Les entrées A et B ont chacune 4 bits. La sortie de chacun des trois modules AS4bit, Div2 et Comp est dirigé vers le multiplexeur MUX. Le rôle de ce dernier est de transférer une de ses entrées vers la sortie S en fonction de la valeur du signal de sélection de deux bits ( $r_0r_1$ ) permettant de choisir l'opération à effectuer, comme le montre le tableau 1 ci-dessous.

$r_0r_1$	Opération à réaliser
00	Addition
01	Soustraction
10	Division par 2
11	Comparaison

**Tableau1-** Sélection des opérations à effectuer

### 3. Travail à effectuer

Pour chacun des modules Div2, Comp et MUX, vous devez écrire la table de vérité, et vous déduirez ensuite les équations des sorties en fonction des entrées. Vous montrerez votre travail au chargé de laboratoire lors de l'évaluation.

L'étape suivante consiste à réaliser chacun des modules avec des portes logiques, et de les simuler afin de vérifier leur bon fonctionnement.

Vous n'avez pas à faire ces deux étapes pour le module AS4bit, étant donné que vous l'avez déjà fait au premier laboratoire.

La dernière étape consiste à réaliser le circuit complet de l'UAL, de simuler son bon fonctionnement et de l'implémenter sur la carte FPGA pour valider le fonctionnement selon les spécifications fournies.

Étant donné que les cartes FPGA du laboratoire ne disposent que de 8 interrupteurs et que notre design nécessite 10 entrées, vous utiliserez les 8 interrupteurs pour les entrées A et B (4 chacun), et les deux boutons poussoirs (G6 et G7) pour la sélection de l'opération (entrée  $r_{op}$  du multiplexeur). Enfin, la sortie S doit être reliée aux 5 premières Dels et les sorties z et cout seront reliées aux deux dernières Dels.