

Conception d'un diviseur de fréquence

Laboratoire no 4, INF1500

Objectifs

Ce laboratoire vous permettra de vous familiariser avec les concepts et les composantes suivantes :

- Compteurs 4 bits
- Registres
- Compteurs synchrones et compteurs en cascades
- Horloge principale d'un système
- Diviseur de fréquences

L'objectif de ce laboratoire est de concevoir et de simuler un circuit logique séquentiel qui va permettre de calculer le temps (minutes et secondes) écoulé depuis la mise en marche du système¹. Plus précisément, une fois que votre planchette de développement sera démarrée vous devrez pouvoir afficher sur les quatre affichages LED à 7 segments le temps qui s'est écoulé: les secondes (de 0 à 59) sur deux Afficheurs et les minutes (de 0 à 59) sur deux autre Afficheurs. Votre système devra également pouvoir reculer (décompter même si dans la réalité il est impossible de revenir en arrière).

Procédure à suivre au laboratoire

Diviseur de fréquence à partir de l'horloge principale du système

Dans un système on a toujours une horloge principale qui est la fréquence maximale du système. Par exemple sur un PC ce sera la fréquence de l'unité de contrôle (CPU) qui roule à plus de 1 GHz (10^9 ou 1,000,000,000 Hz). Toutefois, les périphériques de l'ordinateur (port parallèle, port USB, etc.) ne fonctionnent pas à une fréquence aussi élevée. Le CPU doit donc utiliser une fréquence moins élevée lorsqu'il traite de l'information propre à ses périphériques. Par exemple, si un périphérique fonctionne à 250 MHz et que la fréquence du CPU est de 1GHz il faudra diviser la fréquence par un facteur 4. Ce traitement très fréquent dans les systèmes numériques se fait par ce qu'on appelle un *diviseur de fréquence*.

L'horloge principale de la plaquette de développement (ou plutôt du FPGA) est de 100 MHz. Ici le but est de passer de 100Mhz a 1 Hz (1 seconde).

Pour obtenir 1 Hz à partir de 100 MHz, il faut diviser par 100 millions. Vu que $(100,000,000)_{10} = (010111101011110000100000000)_{2} = (5F5E100)_{16}$ il faut utiliser un compteur de 32 bits... Or, la librairie Virtex2p n'offre que des compteurs 16 bits. Il faut ainsi construire un compteur 32 bits à partir de 2 compteurs 16 bits, ce qui consiste à mettre en cascade 2 compteurs 16 bits.

¹ Vous verrez dans des cours plus avancés que cette fonction est très utile dans les systèmes embarqué en temps réel

Vous devez concevoir un circuit qui divise la fréquence de 100 MHz par 2^{16} . Pour cela utilisez la composante CC16CLE² de la librairie Virtex2p (Figure 1) :

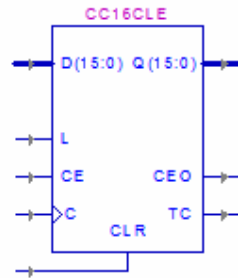


Figure 1

Voici une brève description des signaux de contrôle que vous aurez besoin de connaître pour utiliser cette composante :

- CLR : signal d'entrée asynchrone actif haut qui initialise la sortie Q du compteur à 0.
- L : signal d'entrée synchrone actif haut qui permet d'initialiser à la valeur D
- CE : signal d'entrée synchrone actif haut qui permet au compteur de fonctionner
- TC : signal de sortie actif haut lorsque le compteur est à sa valeur maximale i.e. 2^{16} (ne sera pas utilisée dans ce lab).
- CEO : signal de sortie actif haut lorsque le compteur est à sa valeur maximale i.e. 2^{16} synchrone avec l'horloge (vous utiliserez celle-là au lieu de TC).

Vous devez donc dans votre design concevoir un premier schéma (*Block Diagram*) que nous nommerons *div_100MHz* qui divise la fréquence de 100 MHz par 2^{32} . Pour cela mettez deux compteurs CC16CLE en cascades sachant que le 2eme compte ne s'incrémente que lorsque le premier a atteint sa valeur maximale. Vous devrez ainsi compter de 0 jusqu'à $(5F5E100)_{16}$ ce qui fait que le lorsque le premier compteur aura atteint $(E100)_{16}$ et que le second aura atteint $(05F5)_{16}$ le système repartira à zéro.

Autre point important, pour fonctionner, le compteur doit être initialisé à 0 (via le signal CLR). Vous devez donc mettre ce compteur à 1 au temps 0 ns puis à 0 au temps 10 ns. (À partir de 10 ns, ce signal sera donc inactif.) Cette affectation se fait dans la fenêtre *stimulators* avec la fonction $f(t)$.

Vous devrez montrer votre simulation du diviseur de fréquence au chargé de laboratoire. (2 points)

Implémentation sur la plaquette de développement (FPGA). (2 points)

À partir du signal *sec* de l'étape précédente, vous devez concevoir un compteur de seconde qui compte de 0 à 9 (signal *sec* modulo 10). Vous utiliserez l'afficheur 7 segments du laboratoire 3 (si vous n'avez pas réussi à le réaliser vous pouvez le demander au chargé de laboratoire). **(3 points pour la compréhension).**

² Le fonctionnement de cette composante est très semblable à celui du compteur 74LS161, dont les spécifications se trouvent dans le document 74ls161.pdf que vous pouvez télécharger du même endroit que le présent énoncé.