

Lab3 : Système d'accès à un ascenseur

1. Objectif

L'additionneur 4 bits que vous avez conçu au laboratoire no 1 porte le nom de **circuit itératif**, en ce sens qu'il s'agit de construire un bloc une seule fois à partir des portes de base et de le répéter autant de fois qu'il y a de bits. Le laboratoire no 3 vise la conception et l'étude temporelle d'un second réseau itératif permettant cette fois la comparaison de mots binaires. Il faudra encore une fois bien comprendre la notion de délais dans les divers composants ainsi que l'impact de ces délais sur la valeur exacte de sortie.

Cette fois encore le laboratoire s'effectuera à l'aide du logiciel Active HDL. Ce laboratoire consiste en un système de gestion d'accès d'ascenseur de la Polytechnique. La partie combinatoire est constituée d'un comparateur 4 bits dont le fonctionnement est décrit après.

2. Énoncé

Un système simple de gestion d'accès à un ascenseur possède comme entrées un lecteur de cartes magnétiques (4 bits transmis par les commutateurs de la carte) et une horloge (2 bits transmis par les commutateurs de la carte). Comme sortie, il y a un signal d'accès et d'un signal indiquant la validité de la carte. L'architecture interne du système se sépare en trois parties : un bloc de comparateurs 4 bit, un circuit d'analyse des périodes d'accès et un circuit qui valide l'accès et les cartes.

La Figure 1 montre un schéma de référence fonctionnel. L'architecture et le nombre de bits par signaux ne sont qu'une suggestion (dans le carré central). Si vous croyez avoir de besoins de plus de signaux entre deux blocs, vous avez toute la liberté de le faire.

Le bloc de comparateurs contient plusieurs comparateurs de 4 bits pour pouvoir reconnaître chaque carte. La connexion D comporte un bit pour chacune des 4 possibilités de carte (voir tableau 1) et seul un seul bit sera à « 1 » à la fois. Le circuit sera détaillé dans la section 3.

Le circuit d'analyse des périodes active un des signaux pour indiquer lesquels des trois usagers à accès à l'ascenseur.

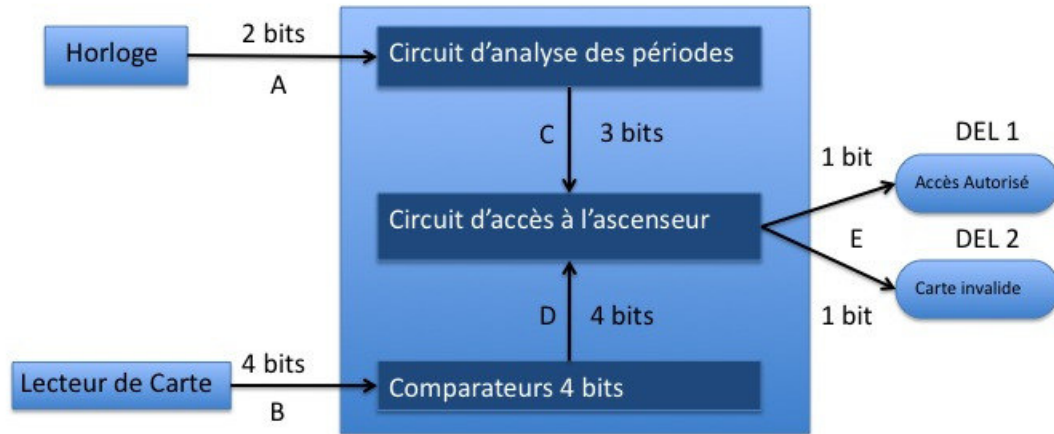


Figure 1: Architecture suggérée pour la réalisation d'un circuit simple d'accès a un ascenseur.

Finalement, le circuit d'accès prend toutes ces données pour donner l'accès à l'ascenseur et indiquer si la carte est valide. Ces informations seront transmises sur les DEL rouges de votre choix (voir Figure 1).

Un utilisateur doit glisser sa carte d'identification personnelle et le système compare la carte avec les périodes d'utilisation de l'ascenseur. L'accès est accordé si l'usager passe sa carte dans le lecteur durant les périodes d'accès auxquels il a droit. Si la carte n'est pas reconnue, le système avertira l'usager que sa carte est invalide, en plus de refuser l'accès.

a. Table de vérité :

Le lecteur de cartes émet une valeur selon la carte glissée:

état	Code
Carte de Professeur	0110
Carte Étudiantes	1101
Carte des Employés	0101
Carte invalide	Toutes autres valeurs

Tableau 1: Table de vérité associé à la lecture de la carte

L'horloge mentionnée dans l'énoncé n'est pas une horloge traditionnelle. Au lieu de compter le temps, elle transmet la période du semestre. Les codes et périodes d'accès à l'ascenseur sont les suivants :

Période	Code	Accès accordé aux
Jour	11	Employés et Professeurs
Soir	10	Étudiants et Professeurs
Semaine de Relâche	01	Étudiants et Employés
Période d'examen	00	Employés et Professeurs

Tableau 2 : Table de vérité associé à l'horloge

3. Description du fonctionnement du comparateur à 4 bits

Le comparateur à 4 bits que vous devez imaginer compare deux mots binaires A et B puis indique si le mot A est plus petit, égal, ou plus grand que le mot B. Il doit alors produire un mot de sortie selon le tableau 3. Voir aussi la section 5 où les équations du comparateur sont détaillées.

Résultat	Sortie ($Y_k F_k$)
$A < B$	00
$A = B$	01
$A > B$	10

Tableau 3 : Valeurs de sortie du comparateur

La comparaison s'effectue sur 4 bits :

$$A = a_3a_2a_1a_0$$

$$B = b_3b_2b_1b_0$$

Il s'agit donc de résoudre ce problème en composant un comparateur pour 1 bit à partir des portes de base. Ensuite, il faudra réutiliser 4 comparateurs à 1 bit pour construire un comparateur à 4 bits. Attention : pour obtenir un comparateur minimisé, vous n'avez pas besoin de passer par une table de vérité et de simplifier en utilisant les règles de simplification. En effet, diviser votre circuit en deux sous-circuits : un sous-circuit pour l'égalité et un second pour la supériorité. Si vous êtes curieux, **consulter le chapitre 5 du livre de Wakerly.**

4. Entrées et Sortie

Les comparateurs à 4 bits nécessitent deux bus d'entrées de 4 bits (les valeurs des commutateurs et les valeurs de référence, se trouvant dans le

Tableau 1, pour les comparaisons). La sortie d'un comparateur à 4 bits est sur 2 bits et doit correspondre aux valeurs du Tableau 3. Par la suite, les sorties de vos comparateurs seront utilisées pour former la connexion D (voir Figure 1).

Le circuit global contient 1 entrée à 2 bits pour l'horloge (2 commutateurs), 1 entrée à 4 bits (4 commutateurs) et 2 sorties à 1 bit (2 DELs rouge).

5. Préparation et rendu (2 points)

Le rendu est à remettre au début de la séance du laboratoire.

1- Bien comprendre le problème, c'est-à-dire analyser et comprendre les spécifications. Identifier ensuite les entrées et les sorties d'un comparateur à 1 bit (voir le tableau 4) :

a_k	b_k	Y_k	F_k
0	0	0	1
0	1	0	0
1	0	1	0
1	1	0	1

Tableau 4

Les équations de la sortie d'un sous-comparateur à 1 bit qui compose le comparateur à 4 bits sont :

(1) $F_k = \overline{(a_k \oplus b_k)} \cdot F_{k+1}$ est l'équation correspondant à l'égalité de deux bits

(2) $Y_k = a_k \cdot \overline{b_k} \cdot ?$ est l'équation correspondant à la supériorité de a par rapport à b (compléter l'équation en trouvant la valeur du « ? »)

k étant l'indice du bit.

Remarquer qu'un sous-comparateur à un bit est un comparateur constituant l'élément de base d'un circuit itératif comparateur de 4 bits. Les sous-comparateurs sont conçus pour être connectés avec d'autres sous-comparateurs. Pour cela, des entrées et sorties supplémentaires sont nécessaires.

3- Donner la table de Karnaugh et les équations que vous obtenez pour un sous-comparateur à 1 bit avec les variables a_k, b_k, F_{k+1} et « ? ». Ensuite, comparer les résultats de votre méthode avec celle des équations 1 et 2.

4- Répondez à la question suivante : Les 2 entrées a_k, b_k étant sur 1 bit, à quoi sert les entrées supplémentaires F_{k+1} et « ? » dans les équations 1 et 2 pour le sous-comparateur ?

5- Réaliser dans un premier temps le circuit représentant la comparaison de deux bits à partir des équations (1) et (2). Fournissez le schématique de ce circuit. **Facultatif** : simuler le circuit avec la table de vérité fournie.

6- Une fois le circuit réalisé pour un bit, réutilisez le symbole généré pour réaliser les comparateurs à 4 bits. **Inclure dans le rendu** le schématique de ce circuit. Si vous utilisez la version étudiante d'active-HDL, vous pouvez fournir le circuit complet avec les portes de base et non pas utilisant le symbole généré. **Facultatif** : Simuler avec un test exhaustif.

7- Réalisez la partie combinatoire du système d'analyse des périodes. **Inclure dans le rendu** le schématique de ce circuit. **Facultatif** : simuler ce circuit.

8- Réaliser la partie combinatoire du système d'accès à l'ascenseur. **Inclure dans le rendu** le schématique de ce circuit. **Facultatif** : simuler ce circuit.

6. Au laboratoire

Simuler, synthétiser, implémenter et tester sur la carte :

- Le circuit représentant la comparaison de deux bits. (0,5 point)
- Les comparateurs à 4 bits. (0,5 point)
- La partie combinatoire du système d'analyse des périodes. (0,5 point)
- Le système global en mettant ensemble tous les modules. (1 point)

Vous devrez montrer le fonctionnement de votre circuit au chargé de laboratoire à chaque étape.

La compréhension du laboratoire va compter sur 2,5 points.