

INF1500 :

Logique des systèmes numériques

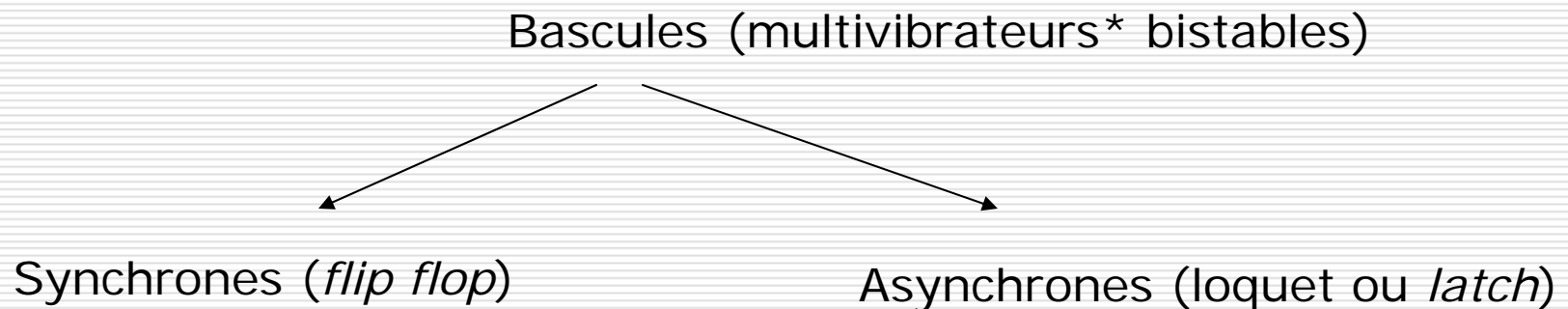
- Cours 5: Loquets (latches) et bascules (flip-flops)

Introduction aux circuits séquentiels

À date on n'a considéré que les circuits combinatoires. Ceux-ci nous permettent de réaliser une foule de fonctions utiles telles que la génération de signaux de contrôle d'un système d'alarme en fonction de l'état de différents senseurs ou l'addition et la soustraction de nombres binaires. Cependant, il serait impossible de réaliser des circuits dont la sortie dépend du temps ou des circuits qui doivent « se souvenir » d'un état particulier en utilisant uniquement des composantes combinatoires. Un exemple simple est la mémoire d'une calculatrice pour conserver un résultat qui doit être réutilisé.

Définitions

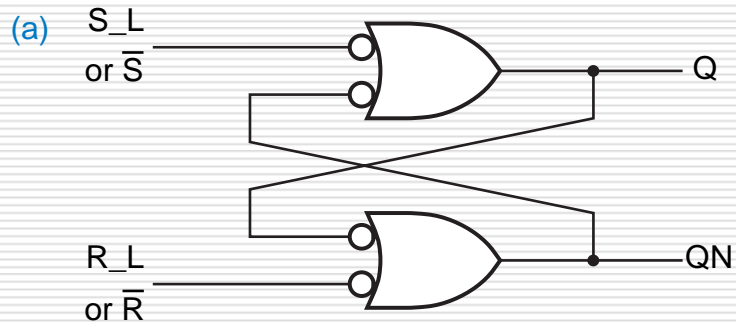
- Bascules: élément de mémoire, constitué d'un ensemble de portes logiques à deux états stables.



- * Multivibrateur bistable => 2 états stables
- Multivibrateur monostable => 1 état stable
- Multivibrateur astable => aucun état stable

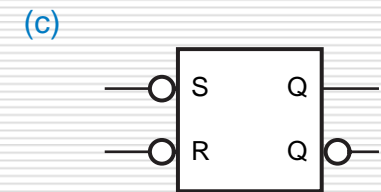
Latch R'-S'

Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e

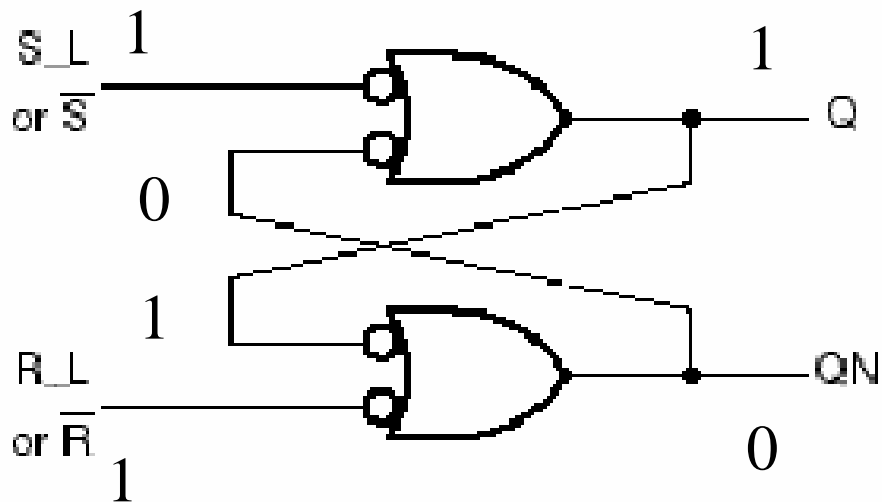
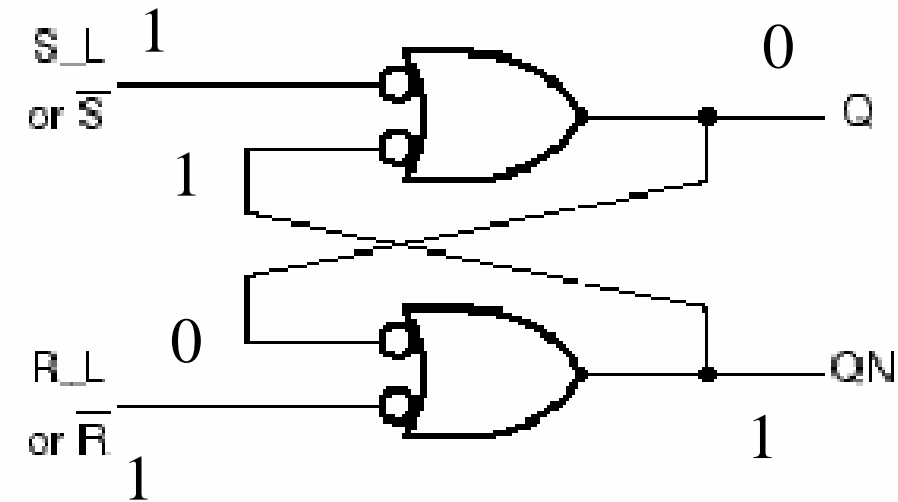


(b)

S_L	R_L	Q	QN
0	0	1	1
0	1	1	0
1	0	0	1
1	1	last Q	last QN

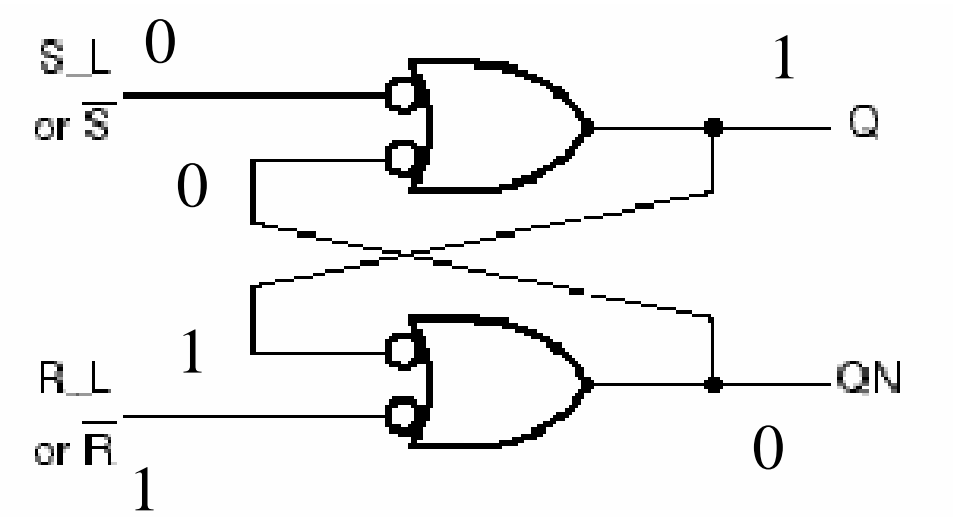


Deux états stables (mémoire) quand $\overline{S}=\overline{R}=1$:



S_L	R_L	Q	QN
0	0	1	1
0	1	1	0
1	0	0	1
1	1	last Q	last QN

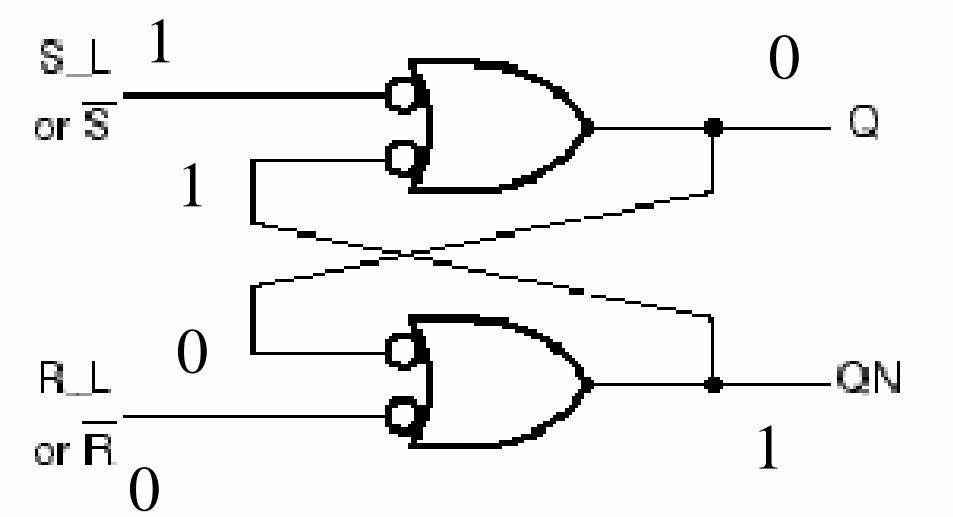
Mise à 1 de l'élément de mémoire:



S_L	R_L	Q	QN
0	0	1	1
0	1	1	0
1	0	0	1
1	1	last Q	last QN



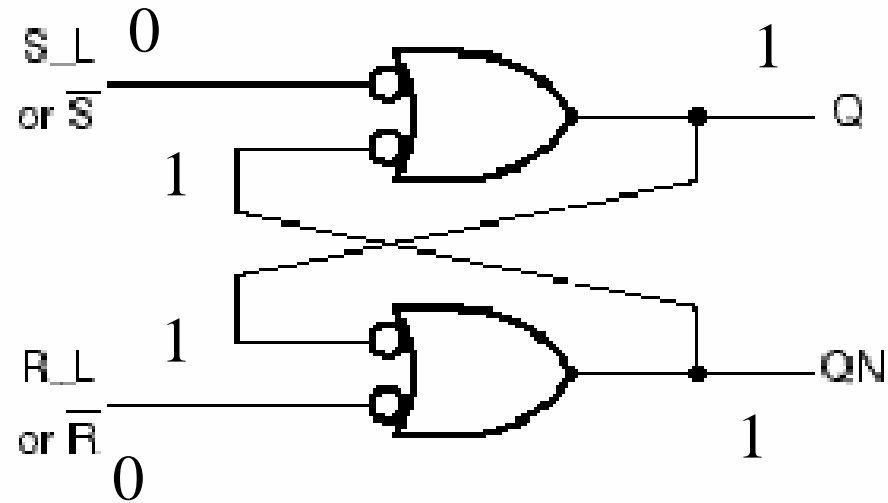
Mise à 0 de l'élément de mémoire:



S_L	R_L	Q	QN
0	0	1	1
0	1	1	0
1	0	0	1
1	1	last Q	last QN



Lorsque $S' = R' = 0$:



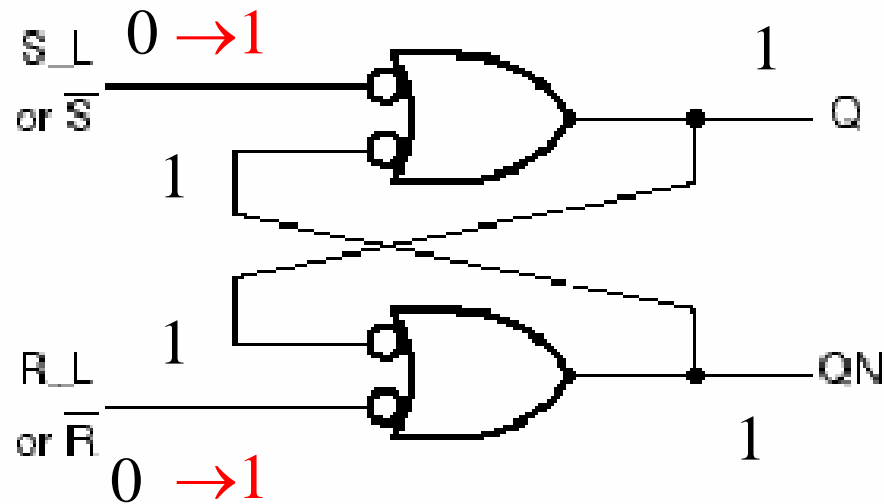
S_L	R_L	Q	\overline{Q}
0	0	1	1
0	1	1	0
1	0	0	1
1	1	last Q	last \overline{Q}



Latch R'-S' - Suite

- R'=0 et S'=0 représente un état indésirable car:
 - On a Q et /Q = 1
 - L'état de sortie de la bascule est conditionné par l'entrée qui revient à 1 en premier => résultats imprévisibles

Lorsque $S' = R' = 0$:

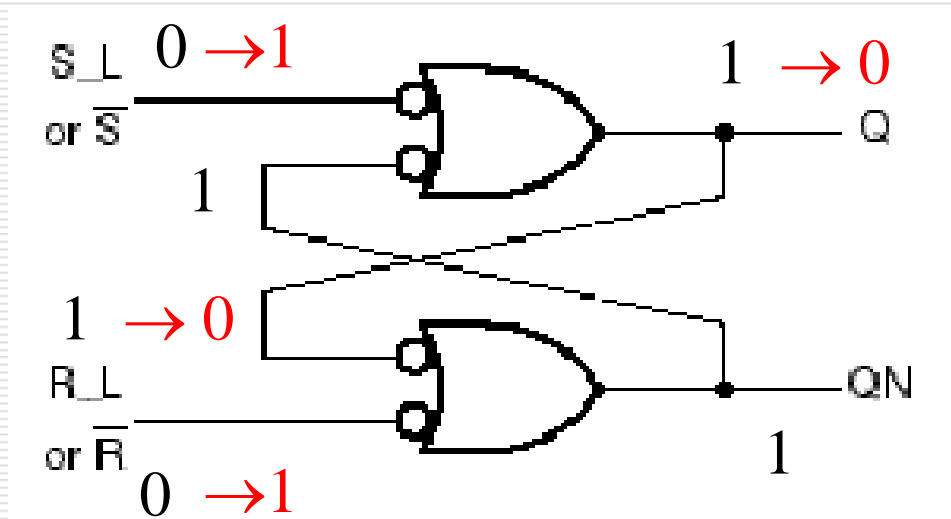


S_L	R_L	Q	Q_N
0	0	1	1
0	1	1	0
1	0	0	1
1	1	last Q	last Q_N

Si \overline{R} et \overline{S} passe à 1 en même temps, le résultat de Q et \overline{Q} est fonction de la porte qui aura le plus petit délai => non prévisible



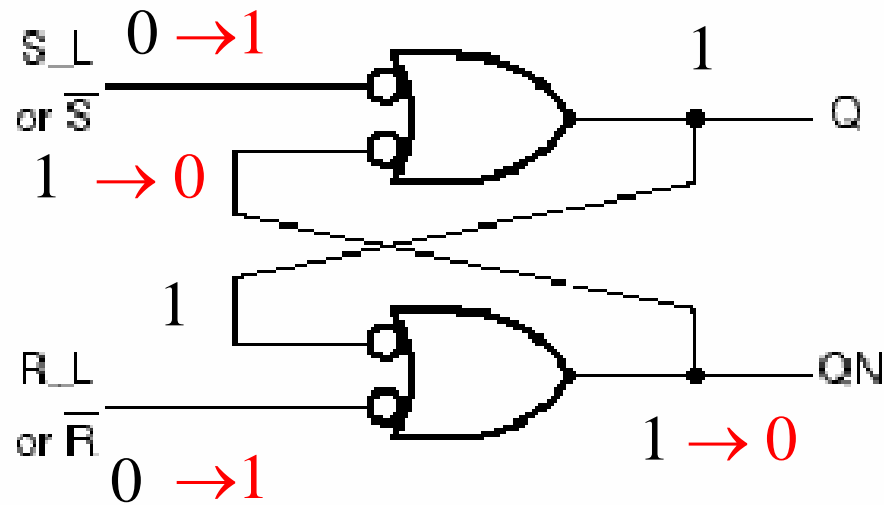
Si la porte du haut possède le plus petit délai alors $Q=0$ et $\bar{Q}=1$



S_L	R_L	Q	Q_N
0	0	1	1
0	1	1	0
1	0	0	1
1	1	last Q	last Q_N



Si la porte du bas possède le plus petit délai alors $Q=1$ et $\bar{Q}=0$



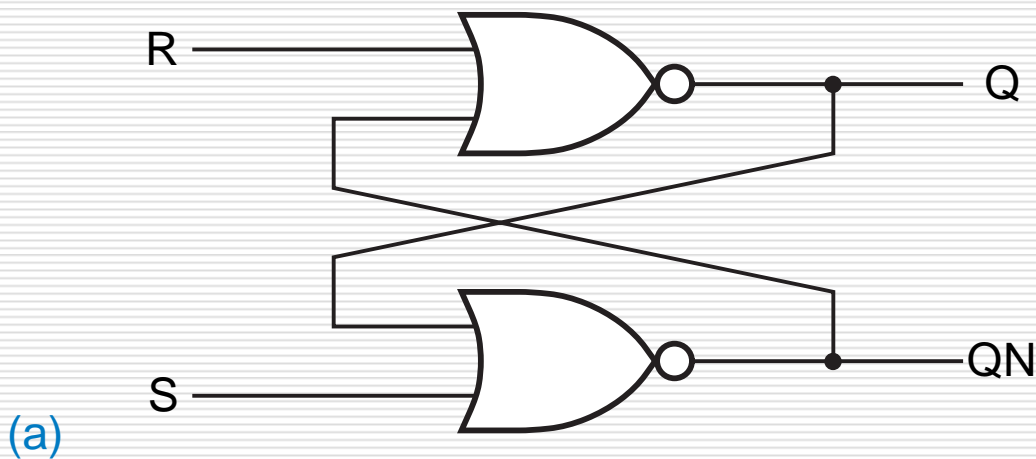
S_L	R_L	Q	QN
0	0	1	1
0	1	1	0
1	0	0	1
1	1	last Q	last QN

Règle d'or

- Afin d'éviter les résultats non prévisibles (non déterministe), les entrées doivent changer une à la fois, laissant suffisamment de temps entre deux entrées successives pour permettre des états stables (c'est de là que proviennent le temps de stabilisation et de maintien).

Latch R-S (Reset-Set)

Latch R-S: élément de mémoire construit à partir de deux portes NON-ET:

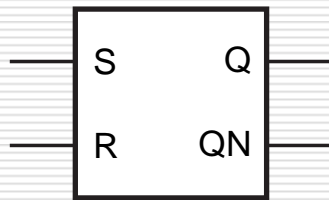


(b)

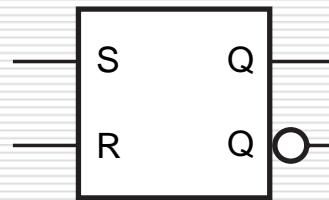
S	R	Q	QN
0	0	last Q	last QN
0	1	0	1
1	0	1	0
1	1	0	0

Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e

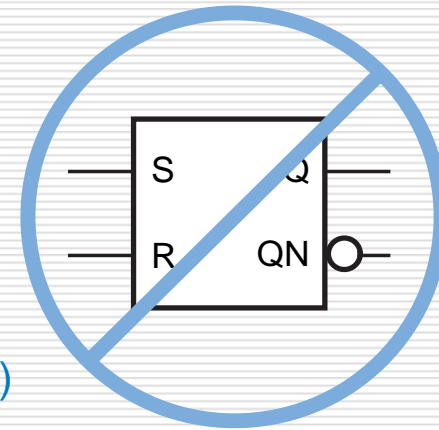
Latch R-S - Suite



(a)



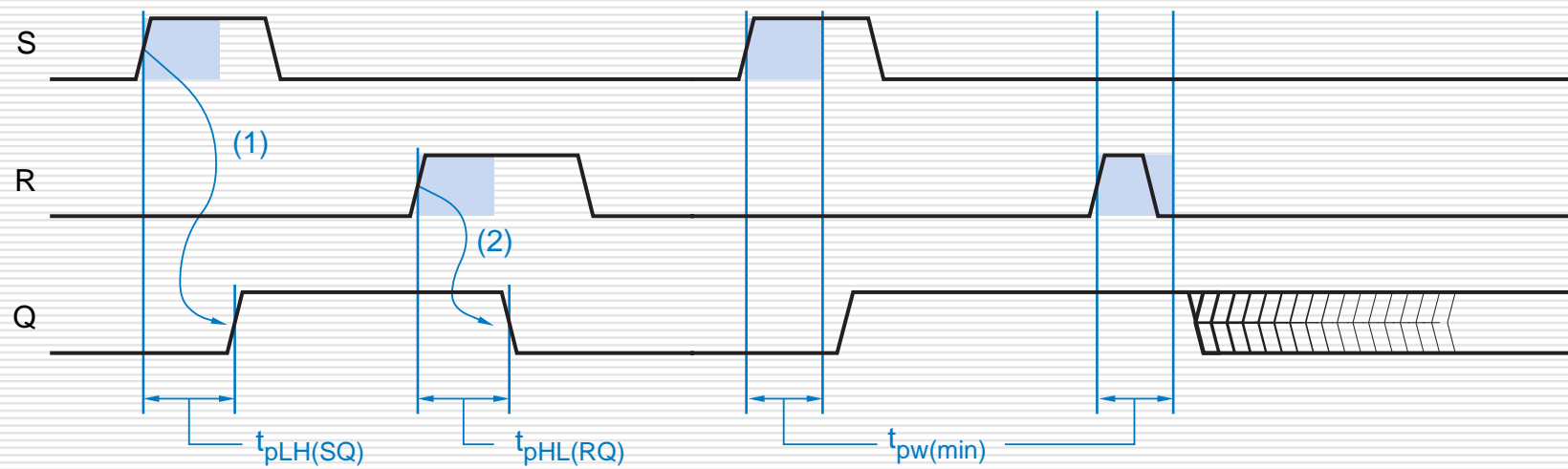
(b)



(c)

Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e

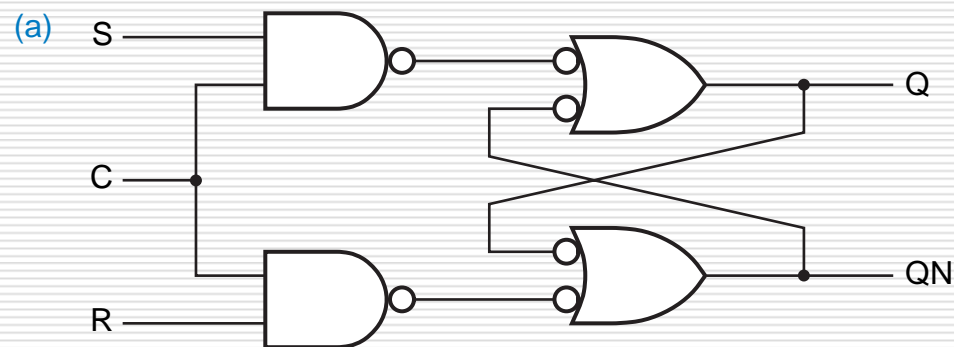
Latch R-S: Diagramme temporel (Timing Diagram)



Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e

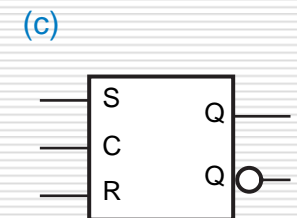
Latch R-S avec signal *enable*

Copyright © 2000 by Prentice Hall, Inc.
 Digital Design Principles and Practices, 3/e



(b)

S	R	C	Q	QN
0	0	1	last Q	last QN
0	1	1	0	1
1	0	1	1	0
1	1	1	1	1
x	x	0	last Q	last QN



Latch R-S avec signal *enable*



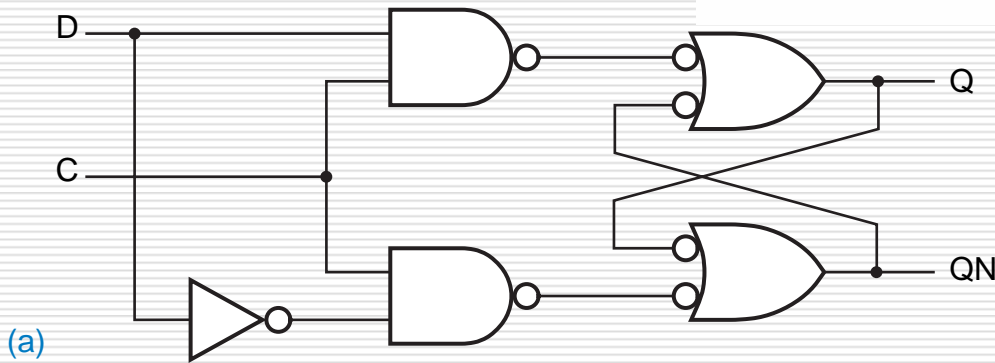
Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e

Latch D avec signal *enable* (74LS75)

But: enlever l'entrée R=S=1 de la table de vérité du latch R-S

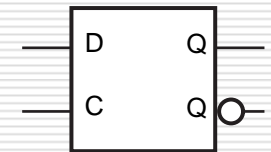
S	R	C	Q	QN
0	0	1	last Q	last QN
0	1	1	0	1
1	0	1	1	0
1	1	1	1	1
x	x	0	last Q	last QN

En réalité on enlève
les lignes
1 et 4

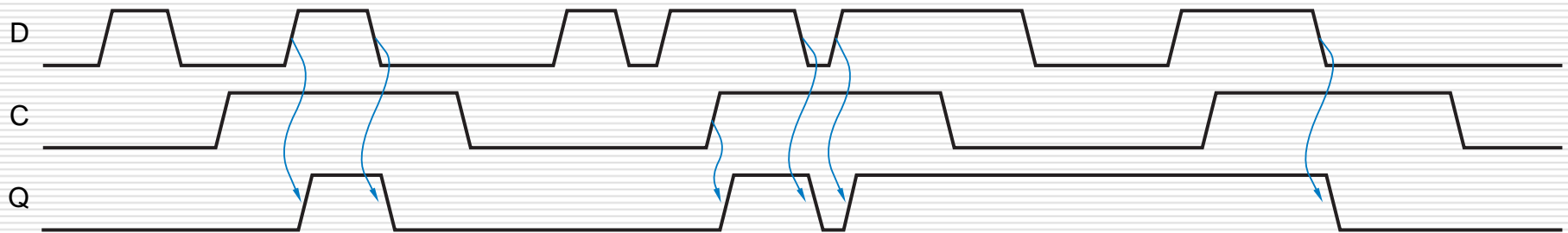


C	D	Q	QN
1	0	0	1
1	1	1	0
0	x	last Q	last QN

(b)



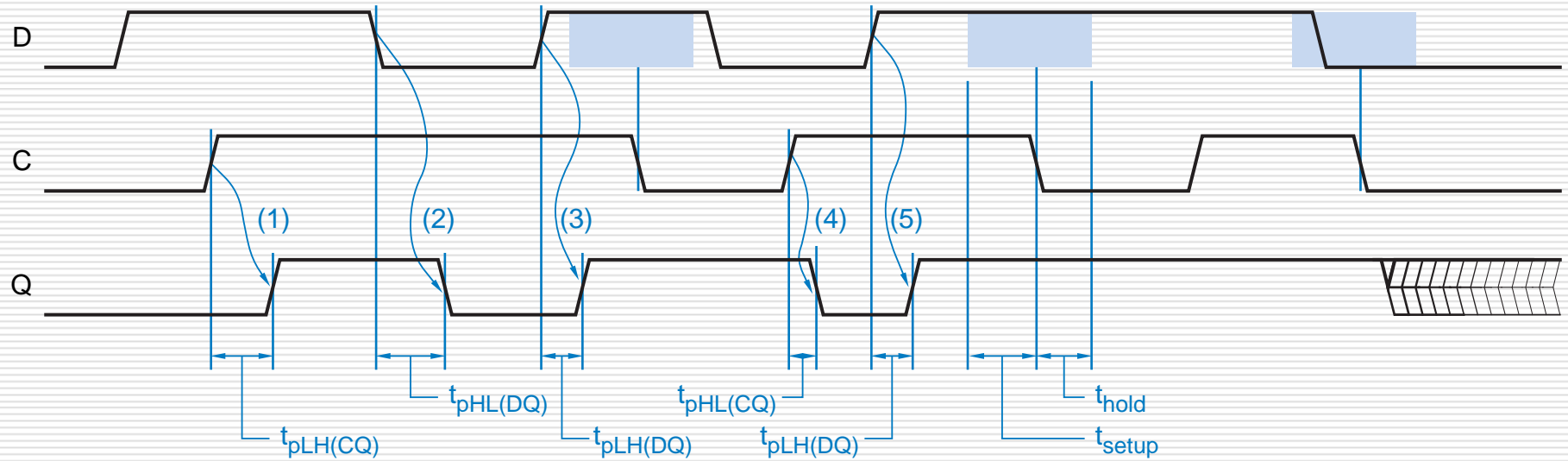
Latch D avec signal *enable*



Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e

Latch D avec signal *enable* - Suite

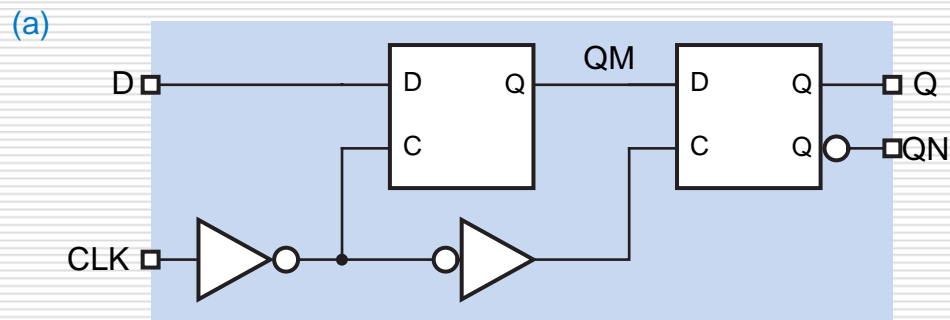
Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e



Bascule D (D Flip-flop – DFF)

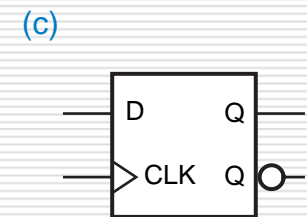
Positive-edge triggered D flip-flop

Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e



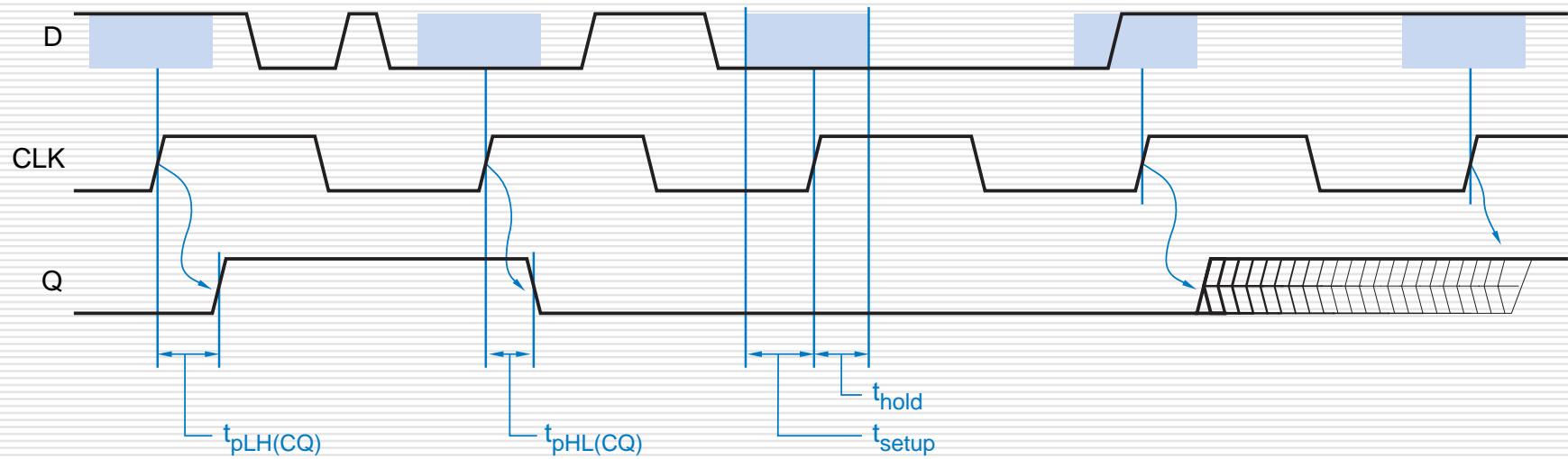
(b)

D	CLK	Q	QN
0		0	1
1		1	0
x	0	last Q	last QN
x	1	last Q	last QN



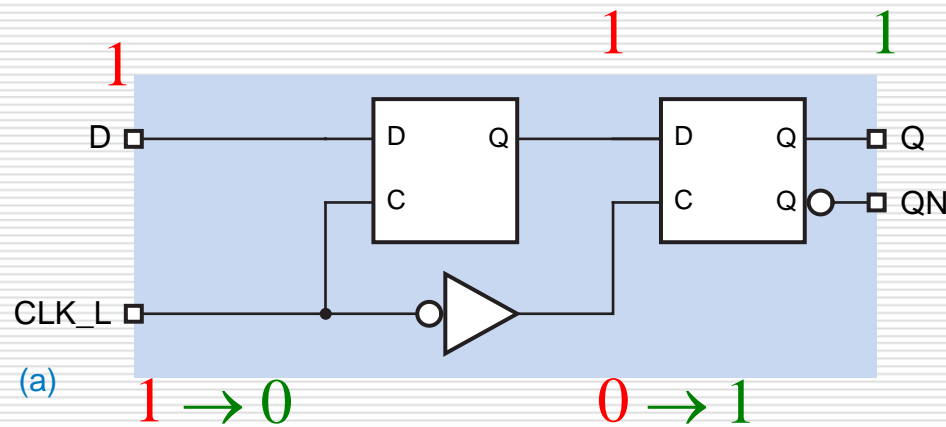
Bascule D

Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e



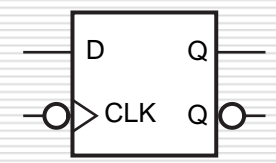
Bascule D (D Flip-flop – DFF)

Negative-edge triggered D flip-flop



D	CLK_L	Q	QN
0		0	1
1		1	0
x	0	last Q	last QN
x	1	last Q	last QN

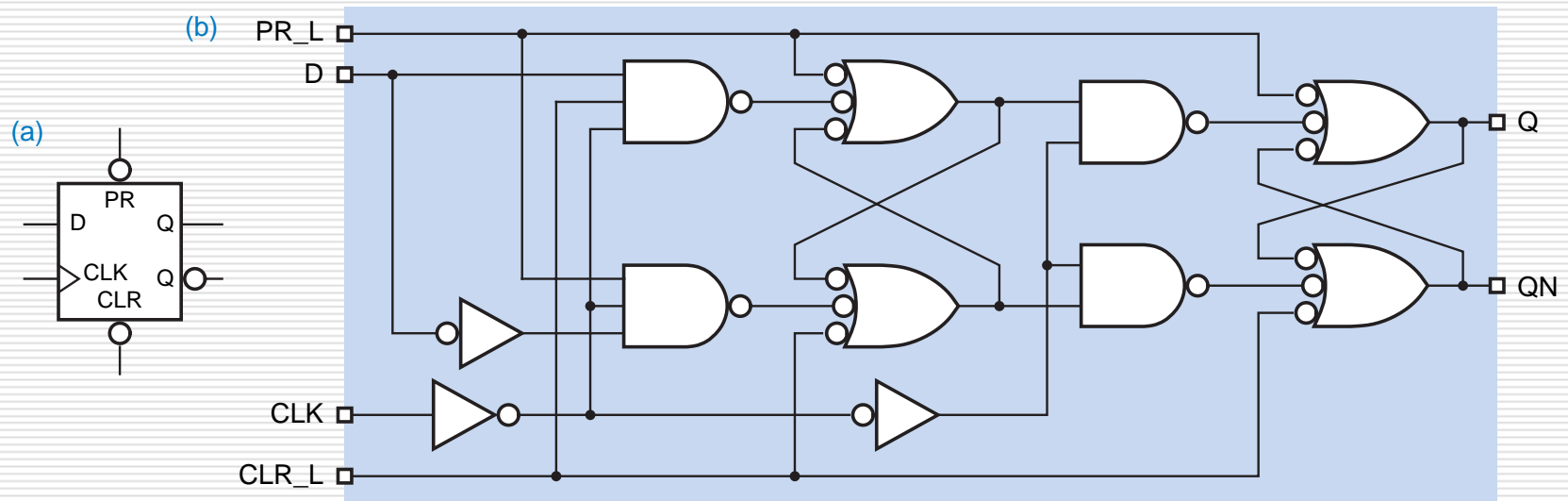
(b)



(c)

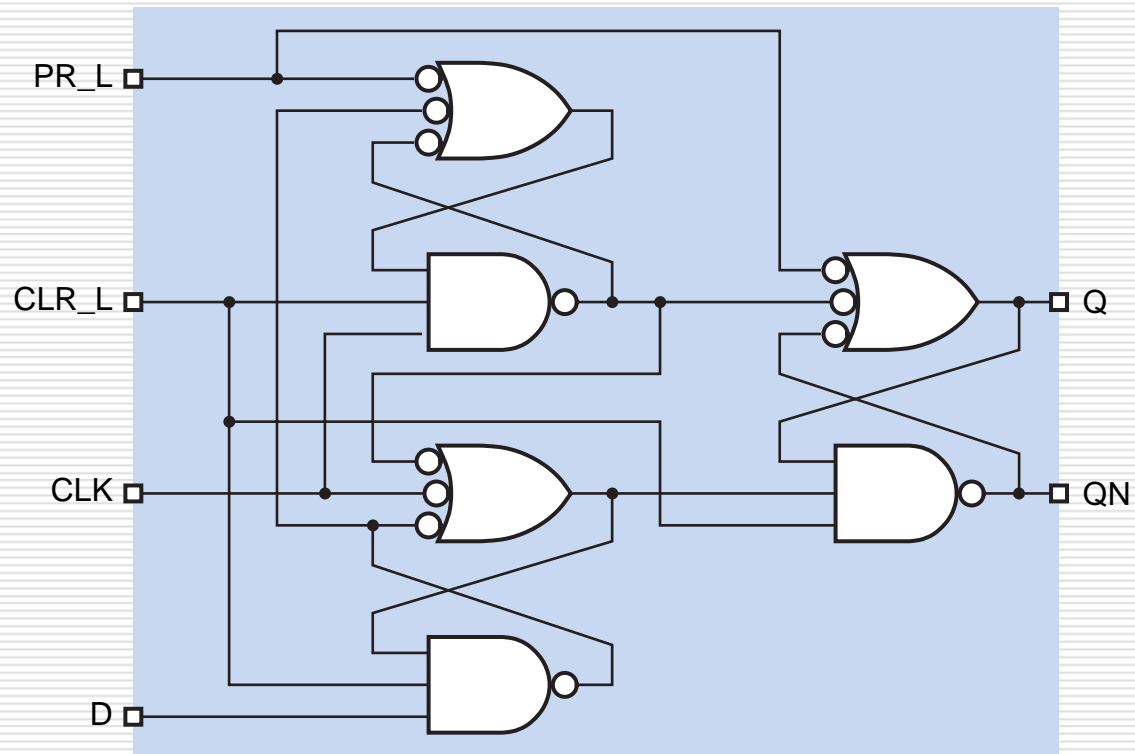
Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e

Bascule D (signaux de contrôle asynchrones)



Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e

Bascule D 74LS74

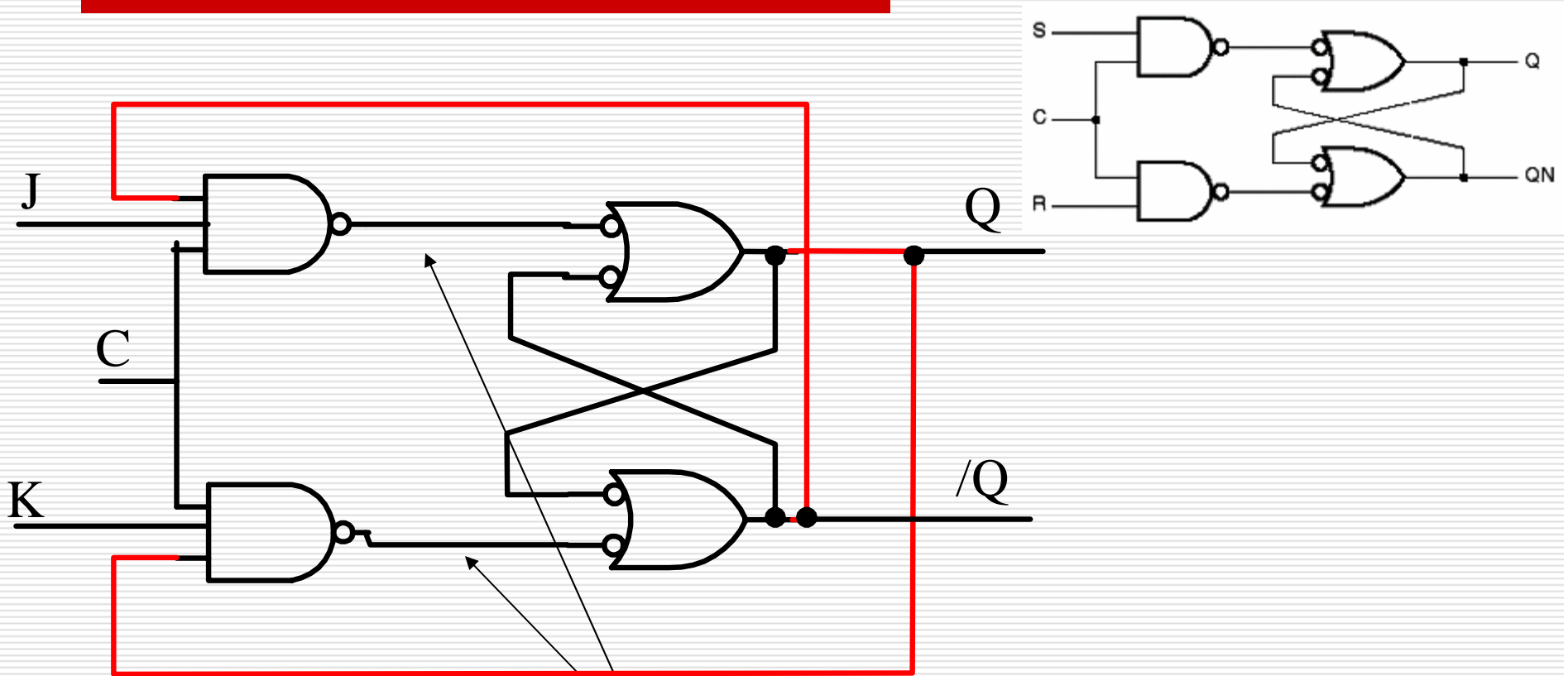


Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e

Bascule J-K

- ❑ On a tout d'abord construit un *latch* J-K à partir d'un *latch* R-S, pour la même raison qu'on a construit un *latch* D à partir d'un *latch* R-S (i.e. éliminer la ligne 1 de la table de vérité).
- ❑ Ensuite, on a rendu synchrone le *latch* J-K => bascule J-K.
- ❑ La bascule J-K est plus ancienne que la bascule D, et comparativement à cette dernière, aujourd'hui on l'utilise de moins en moins.

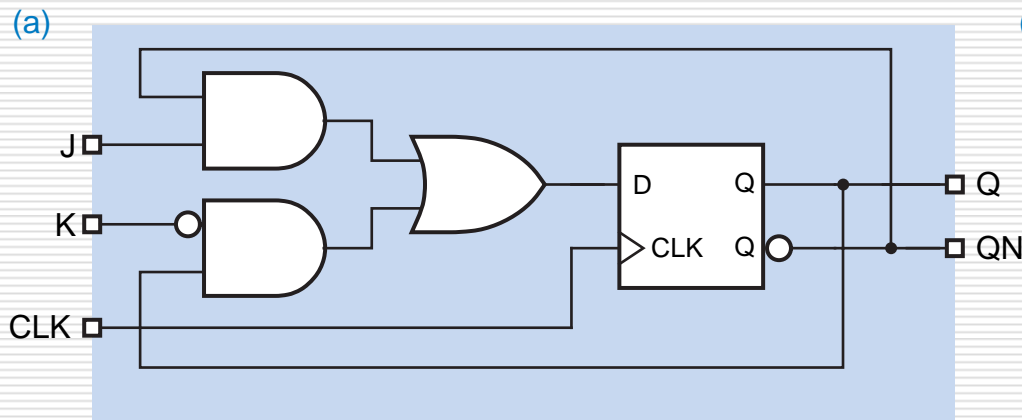
Latch J-K à partir d'un latch R'-S'



Si à l'initialisation on a $Q \neq /Q$ alors impossible d'avoir en même temps 0 sur les deux fils, donc $Q = /Q = 1$.

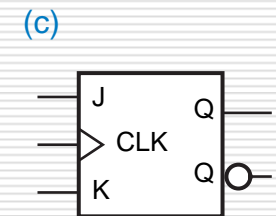
Bascule J-K à partir d'une bascule D

Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e



(b)

J	K	CLK	Q	QN
x	x	0	last Q	last QN
x	x	1	last Q	last QN
0	0		last Q	last QN
0	1		0	1
1	0		1	0
1	1		last QN	last Q

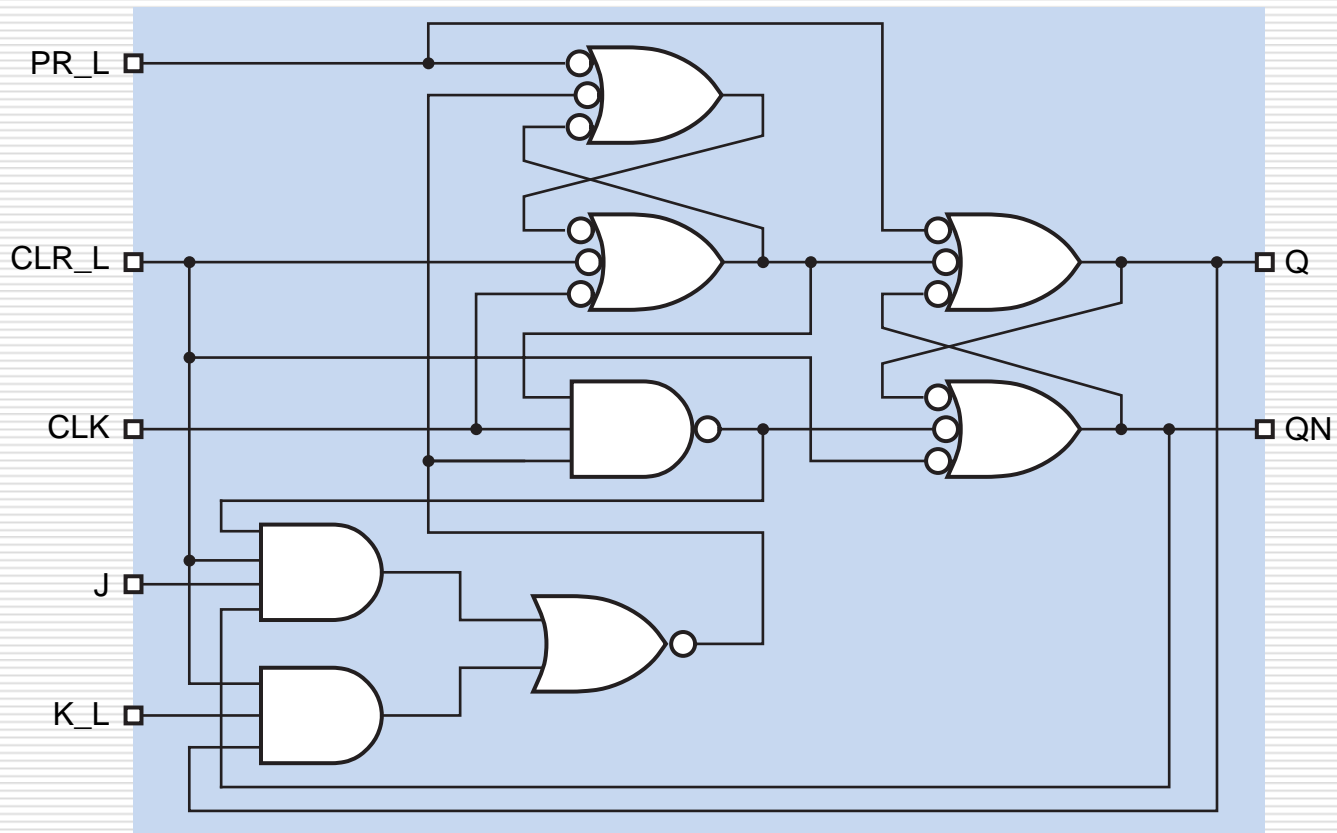


Bascule J-K - Suite



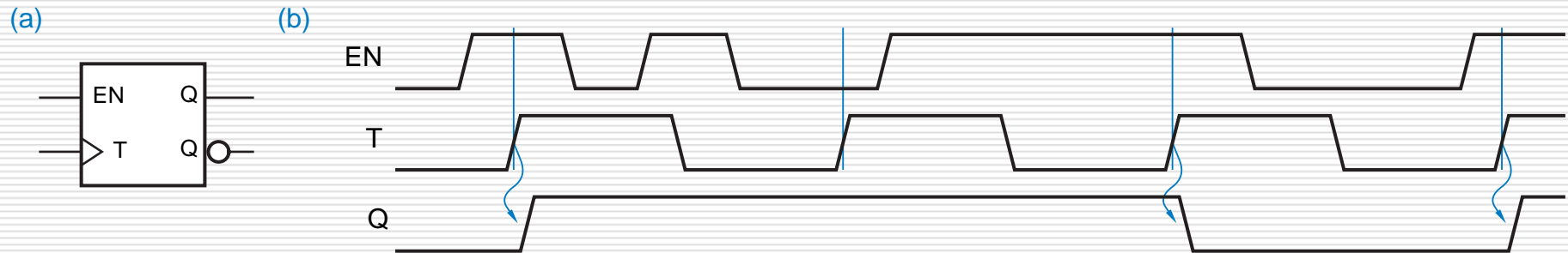
Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e

Bascule J-K (74LS109)



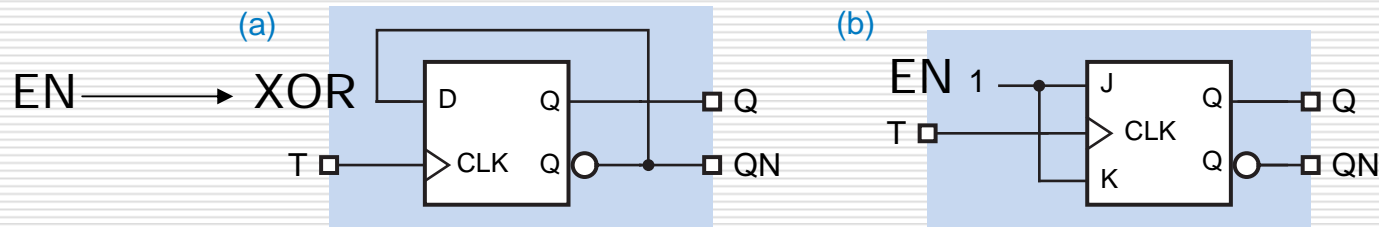
Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e

T (Toggle) Flip-flop



Circuits équivalents

Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e



Copyright © 2000 by Prentice Hall, Inc.
Digital Design Principles and Practices, 3/e

Équations caractéristiques

- S-R latch
 - $Q(t+1) = S(t) + R'(t) \cdot Q(t)$
- D latch
 - $Q(t+1) = D(t)$
- Edge-triggered D flip-flop
 - $Q(t+1) = D(t)$
- Master/slave S-R flip-flop
 - $Q(t+1) = S(t) + R'(t) \cdot Q(t)$
- Master-slave J-K flip-flop
 - $Q(t+1) = J(t) \cdot Q'(t) + K'(t) \cdot Q(t)$
- Edge-triggered J-K flip-flop
 - $Q(t+1) = J(t) \cdot Q'(t) + K'(t) \cdot Q(t)$
- T flip-flop
 - $Q(t+1) = Q'(t)$

Exercices

