

INF1500 - Hiver 2012

Laboratoire #4

Le modulo en action

I- Objectifs

L'objectif de ce laboratoire est de concevoir et de simuler un circuit logique séquentiel qui permet d'afficher sur le LCD à un intervalle de 1 seconde la séquence allant de 1 jusqu'au modulo d'un nombre choisi par l'utilisateur. Ce laboratoire vous permettra aussi de concevoir un programme VHDL simple.

Ce laboratoire vaut 7 % de la note finale du cours.

II- Description du circuit à réaliser

Le circuit logique à réaliser dans ce laboratoire permet d'afficher la séquence allant de 1 jusqu'à un modulo d'un nombre sur 4 bits choisi par l'utilisateur utilisant 4 interrupteurs de la carte de développement. L'affichage doit se faire à un intervalle de 1 seconde. Le résultat sera affiché sur l'afficheur LCD, utilisant des modules qui vous sont fournis. Le circuit possède comme entrées 4 interrupteurs, (pour représenter un nombre binaire sur 4 bits) et 1 bouton poussoir pour le reset du circuit. Si l'état des 4 interrupteurs est $(1000)_2$, alors la séquence de 0 à 7 doit être affichée. Par contre, si l'état des 4 interrupteurs est $(1111)_2$ la séquence de 0 à E doit être affichée.

Voici une description des circuits à réaliser pour ce laboratoire :

II.1- Circuit diviseur de fréquence

L'horloge principale du FPGA est de 100 MHz. Ici le but est de passer de 100Mhz à 1 Hz (1 seconde). Pour obtenir 1 Hz à partir de 100 MHz, il faut diviser la fréquence par 100 millions. Notez que $(100,000,000)_{10} = (0101111101011110000100000000)_2 = (5F5E100)_{16}$. Un compteur 32 bits est donc nécessaire. La librairie Virtex2p n'offre pas de compteur 32 bits mais dispose de compteurs 16 bits. Il est possible de construire un compteur 32 bits à partir de 2 compteurs 16 bits. Pour cela, les 2 compteurs 16 bits doivent être mis en cascade.

Vous devez donc concevoir un circuit qui divise la fréquence de 100 MHz par 100 millions. Pour cela utilisez 2 fois le composant CC16CLE¹ de la librairie Virtex2p (Figure1) :

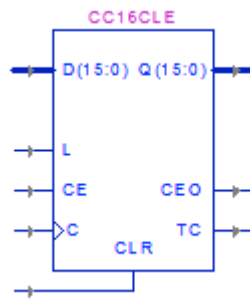


Figure 1: composant CC16CLE

Voici une brève description des signaux de contrôle que vous aurez besoin de connaître pour utiliser ce composant :

- **CLR** : signal d'entrée *asynchrone* actif haut qui initialise la sortie Q du compteur à 0
- **L** : signal d'entrée *synchrone* actif haut qui permet d'initialiser la sortie Q du compteur à la valeur D
- **CE** : signal d'entrée *synchrone* actif haut qui permet au compteur de fonctionner
- **TC** : signal de sortie actif haut lorsque le compteur est à sa valeur maximale i.e. 2^{16} (ne sera pas utilisée dans ce lab).
- **CEO** : signal de sortie actif haut lorsque le compteur est à sa valeur maximale i.e. 2^{16} . *synchrone* avec l'horloge (vous utiliserez celle-là au lieu de TC).

Vous devez dans votre design concevoir un circuit qui divise la fréquence de 100MHz par $(100 \text{ Million})_{10}$. Pour cela mettez deux compteurs CC16CLE en cascade sachant que le 2^{ème} compteur ne s'incrémente que lorsque le premier a atteint sa valeur maximale. Vous devrez ainsi compter de 0 jusqu'à $(5F5E100)_{16}$, ce qui fait que lorsque le premier compteur aura atteint $(E100)_{16}$ et que le second aura atteint $(05F5)_{16}$ le système repartira à zéro.

Simulez le circuit pour vérifier que le diviseur de fréquence fonctionne tel que prévu (la simulation peut prendre plusieurs minutes).

Important : pour des fin de simulation, vous devez donc mettre le signal CLR à 1 au temps 0 ns puis à 0 au temps 10 ns (à partir de 10 ns, ce signal sera donc inactif).

II.2- Compteur Modulo

Ce circuit est aussi basé sur le compteur (CC16CLE), bien que vous pouvez utiliser un compteur avec un plus petit bus de sortie. Ce compteur doit s'incrémenter à toutes les secondes avec les valeurs de 0 jusqu'au nombre dicté par l'état des interrupteurs -1. La sortie de ce compteur sera reliée à l'entrée de l'afficheur LCD via le module Hex2Ascii.vhd.

II.3- Top

Dans le top level, vous devez inclure les fichiers vhdl nécessaires pour le fonctionnement de l'afficheur LCD, le circuit diviseur de fréquence ainsi que le compteur modulo.

IV- Évaluation

1. Vous devez remettre un rapport une semaine après le laboratoire, dans lequel se trouve les éléments suivants :
 - Les schématiques des circuits qu'on vous demande de réaliser (**diviseur de fréquence, compteur modulo et top**)
 - Une explication de la procédure qui vous a permis de réaliser le circuit du compteur modulo.
 - La version vhdl du circuit diviseur de fréquence, pour un rapport de division de 100MHz à 5Hz.
 - Une discussion des difficultés, s'il y en a, que vous avez rencontrées lors de la réalisation du TP.
2. Vous devez démontrer le fonctionnement du circuit au chargé de laboratoire au plus tard lors de la séance de TP suivante.